

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004 年 2 月 26 日 (26.02.2004)

PCT

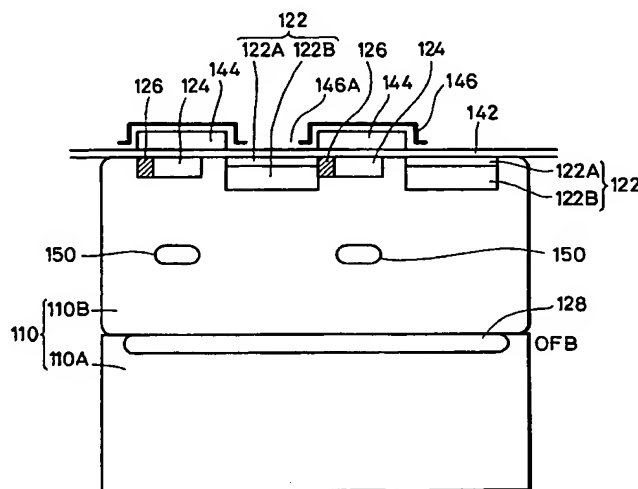
(10) 国際公開番号  
WO 2004/017411 A1

- (51) 国際特許分類<sup>7</sup>: H01L 27/148, H04N 5/335 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2003/010217 (75) 発明者/出願人 (米国についてののみ): 和田 和司  
(22) 国際出願日: 2003 年 8 月 11 日 (11.08.2003) (WADA, Kazushi) [JP/JP]; 〒141-0001 東京都品川区  
(25) 国際出願の言語: 日本語 北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo  
(26) 国際公開の言語: 日本語 (JP). 原田 耕一 (HARADA, Kouichi) [JP/JP]; 〒141-0001  
東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式  
(30) 優先権データ: 会社内 Tokyo (JP). 大塚 修司 (OTSUKA, Shuji) [JP/JP];  
特願2002-235125 2002 年 8 月 12 日 (12.08.2002) JP 〒107-0052 東京都港区赤坂 8 丁目 5 番 2 6 号 赤坂  
特願2002-324613 2002 年 11 月 8 日 (08.11.2002) JP DSビル株式会社メイテック内 Tokyo (JP). 佐藤 充  
(71) 出願人 (米国を除く全ての指定国について): ソニー株 (SATO, Mitsuru) [JP/JP]; 〒141-0001 東京都品川区北  
式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP).  
東京都品川区北品川 6 丁目 7 番 3 5 号 Tokyo (JP). (74) 代理人: 角田 芳末, 外 (TSUNODA, Yoshisue et al.); 〒  
160-0023 東京都新宿区西新宿 1 丁目 8 番 1 号 新宿  
ビル Tokyo (JP).

[続葉有]

(54) Title: SOLID-STATE IMAGING DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 固体撮像素子及びその製造方法



(57) Abstract: The crosstalk between adjacent pixels is prevented by a structure in which an overflow barrier is provided in a deep portion of a substrate. A local P-type region (150) is formed in a predetermined position in a lower layer region below a vertical transfer register (124) and a channel stop region (126). The potential in the lower layer region below the vertical transfer register (124) and the channel stop region (126) is controlled by the P-type region (150) so that the potential in the extent from the minimum potential position of the vertical transfer register (124) to the overflow barrier (128) in the lower layer region is lower than that in the lower layer region below a photosensor (122). Therefore, because the potential in the lower layer region below the vertical transfer register (124) and the channel-stop region (126) on both sides is low, the charge produced by the photoelectric transducing in the sensor region is blocked by this potential barrier and cannot diffuse easily. Thus, the crosstalk between adjacent pixels can be prevented.

(57) 要約: オーバーフローバリアを基板の深部に設けた構造で隣接する画素間のクロストークを防止する。垂直転送レジスタ124及びチャネルストップ領域126の下層領域の所定位置に、部分的なP型領域150を形成し、このP型領域150によって垂直転送レジスタ124及びチャネルストップ領域126

[続葉有]

WO 2004/017411 A1



(81) 指定国 (国内): CN, JP, KR, US.

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

の下層領域におけるポテンシャルを調整して、垂直転送レジスタ124の最小ポテンシャル位置からオーバーフローバリア128までの間で、フォトセンサ122の下層領域のポテンシャルより低くなるように形成する。したがって、センサ領域で光電変換された電荷は、両側の垂直転送レジスタ124及びチャネルストップ領域126の下層領域におけるポテンシャルが低いいため、このポテンシャルバリアに遮られて、容易に拡散できない状態となり、隣接画素のクロストークを防止できる。

## 明細書

## 固体撮像素子及びその製造方法

## 技術分野

- 5      本発明は、半導体基板に光電変換部を用いた複数の画素と、この画素によって生成した信号電荷を転送するCCD転送部とを設けた固体撮像素子に関し、特に光電変換部で生成した過剰電荷を半導体基板の裏面方向に排出するための縦形オーバーフローバリア構造を有する固体撮像素子に関する。

10

## 背景技術

従来より、この種の固体撮像素子として画素をマトリクス状に配置したCCDイメージセンサが知られている。

- 15      図10は、従来のCCDイメージセンサの一般的な構成例を示す平面図である。

- 20      このCCDイメージセンサは、半導体基板（Si基板、半導体チップ）10上に設けた撮像領域20内に、それぞれ画素となる光電変換部としてのフォトセンサ（フォトダイオード）22を配置し、各フォトセンサ列毎に複数の垂直転送レジスタ24及びチャネルストップ領域26を配置し、さらに、撮像領域20の外側に水平転送レジスタ32及び出力部34を設けたものである。

なお、撮像領域20の外側は、バスライン等を配置した周辺領域21となっている。

- 25      各フォトセンサ22で生成された信号電荷は、垂直転送レジスタ24に読み出されて各フォトセンサ列毎に垂直方向に転送され、順番に水平転送レジスタ32に出力される。

水平転送レジスタ32では、垂直転送レジスタ24によって転送された各フォトセンサ22の信号電荷を各行毎に水平方向に転

送し、出力部 3 4 に順次出力する。

出力部 3 4 では、水平転送レジスタ 3 2 によって転送された信号電荷を順次電圧信号に変換し、増幅等を施して出力する。

また、チャネルストップ領域 2 6 は、隣接する各フォトセンサ  
5 列間の信号の漏洩を阻止している。

また、図 1 1 は、図 1 0 に示す C C D イメージセンサの内部素子構造を示す断面図であり、図 1 0 の a - a 断面を示している。

図示のように、半導体基板 (S i 基板) 1 0 の上層に、フォトセンサ 2 2、垂直転送レジスタ 2 4、及びチャネルストップ領域  
10 2 6 が形成され、半導体基板 1 0 の上面には、絶縁膜 (シリコン酸化膜) 4 2 を介して垂直転送レジスタ 2 4 の転送電極 (ポリシリコン膜) 4 4 が配置され、その上層に遮光膜 4 6 が装着されている。

この遮光膜 4 6 には、フォトセンサ 2 2 の受光領域に対応して  
15 開口部 4 6 A が形成され、この開口部 4 6 A を通して光がフォトセンサ 2 2 に入射される。

また、フォトセンサ 2 2 は、上層の P + 層 2 2 A と下層の N 層 2 2 B を有し、P + 層 2 2 A に光電変換で発生した正孔が取り込まれ、N 層 2 2 B に信号電荷が生成される。

この N 層 2 2 B で生成された信号電荷は、N 層 2 2 B の下層に  
20 形成される空乏層に蓄積され、フォトセンサ 2 2 と垂直転送レジスタ 2 4 との間に設けられた読み出しゲート部の動作によってフォトセンサ 2 2 から垂直転送レジスタ 2 4 側に読み出される。

また、半導体基板 1 0 の内部領域には、各フォトセンサ 2 2 で  
25 生成された信号電荷を N 層 2 2 B の下部領域に貯留するためのオーバーフローバリア (O F B) 2 8 が設けられている。

このオーバーフローバリア 2 8 は、半導体基板内の不純物分布を調整することにより、半導体基板 1 0 の内部領域にポテンシャ

ルによるバリアを形成し、信号電荷の漏洩をせき止めるものである。また、過大光量の入射時には、フォトセンサ 22 で過剰に生成された信号電荷が、このオーバーフローバリア 28 を越えて半導体基板 10 の裏側に排出されるようになっている。

5       ところで、上述のような CCD 固体撮像素子では、単位画素の小型化に伴い、単位面積あたりの感度を向上させる技術の開発が急務となっている。

10       そして、その 1 つの手段として、従来は Si 基板表面から 3  $\mu$ m 程度に形成しているオーバーフローバリアを、より深い位置（たとえば 5  $\mu$ m ~ 10  $\mu$ m）に形成することが考えられる。

この状態で従来通りの垂直転送レジスタのポテンシャルを形成すると、その分布は図 12 及び図 13 に示すようなものとなる。

すなわち、図 12 はフォトセンサ及び垂直転送レジスタの各基板断面におけるポテンシャルの分布を示す説明図であり、縦軸は  
15       ポテンシャルの深さ、横軸は基板表面からの深さを示している。そして、実線 A はフォトセンサ部分のポテンシャル分布、破線 B は垂直転送レジスタ部分のポテンシャル分布を示している。

また、図 13 はフォトセンサ領域におけるポテンシャルの分布を立体的に示す説明図であり、X 軸が水平方向、Y 軸がポテンシ  
20       ヤル深さ方向、Z 軸が基板の深さ方向をそれぞれ示し、X 軸と Y 軸で構成される面が基板表面を示している。

なお、これらの図 12 及び図 13 において、図 12 の縦軸及び図 13 の Y 軸は、上から下に向かってポテンシャルが高いことを意味している。また、各軸に付した目盛りの数値は、便宜的に調  
25       整した値である。

そして、このようなポテンシャル分布では、基板の深い部分において、フォトセンサのポテンシャルの位置と垂直転送レジスタの下層部分のポテンシャルの位置が等しくなってしまう。

したがって、このような状態では、センサ領域で光電変換された電荷が横方向（図 13 中の矢印 D で示す）に拡散してしまい、隣接画素のセンサ領域に入り込む、クロストークと呼ぶ問題が発生するという問題がある。

- 5       そこで本発明の目的は、オーバーフローバリアを基板の深部に設けた場合にも、隣接する画素間のクロストークを有効に防止することが可能な固体撮像素子を提供することにある。

#### 発明の開示

- 10       本発明は前記目的を達成するため、半導体基板上に設けられ、入射光量に応じて電荷を生成する光電変換部を含む複数の画素と、前記半導体基板上に形成され、前記画素から読み出された前記電荷を転送する転送部と、前記半導体基板の内部に形成され、前記画素で生じた余剰電荷を半導体基板の裏面方向に排出するための
- 15       ポテンシャルバリアよりなるオーバーフローバリアとを有し、前記転送部の下層領域のポテンシャルは、前記転送部の最小ポテンシャル位置から前記オーバーフローバリアまでの間で、前記光電変換部の下層領域のポテンシャルより小さく形成されていることを特徴とする。

20

#### 図面の簡単な説明

- 図 1 は、本発明の第 1 の実施の形態例による CCD イメージセンサの素子構造を示す断面図であり、図 2 は、図 1 に示す CCD イメージセンサのフォトセンサ及び垂直転送レジスタの各基板断面におけるポテンシャルの分布を示す説明図であり、図 3 は、図 1 に示す CCD イメージセンサのフォトセンサ領域におけるポテンシャルの分布を立体的に示す説明図であり、図 4 は、本発明の
- 25       第 2 の実施の形態例による CCD イメージセンサの素子構造を示

す断面図であり、図 5 は、図 4 に示す C C D イメージセンサのフォトセンサ、垂直転送レジスタ及び画素間部の各基板断面におけるポテンシャルの分布を示す説明図であり、図 6 は、図 4 に示す C C D イメージセンサのフォトセンサ領域におけるポテンシャルの分布を立体的に示す説明図であり、図 7 は、図 4 に示す C C D イメージセンサのオーバーフローバリアの形成方法を示す断面図であり、図 8 は、本発明の第 3 の実施の形態例による C C D イメージセンサの素子構造を示す断面図であり、図 9 は、図 8 に示す C C D イメージセンサのフォトセンサ、垂直転送レジスタ及び画素間部の各基板断面におけるポテンシャルの分布を示す説明図であり、図 10 は、従来の C C D イメージセンサの素子配置を示す平面図であり、図 11 は、図 10 に示す C C D イメージセンサの素子構造を示す断面図であり、図 12 は、図 10 に示す C C D イメージセンサのフォトセンサ及び垂直転送レジスタの各基板断面におけるポテンシャルの分布を示す説明図であり、図 13 は、図 10 に示す C C D イメージセンサのフォトセンサ領域におけるポテンシャルの分布を立体的に示す説明図である。

#### 発明を実施するための最良の形態

以下、本発明による固体撮像素子の実施の形態例について説明する。

図 1 は、本発明の第 1 の実施の形態例による C C D イメージセンサの内部素子構造を示す断面図である。なお、本例における C C D イメージセンサの平面方向の素子配列は図 10 に示した従来例と共通であり、図 1 は図 10 の a - a 断面を示すものである。

図 1 に示すように、本例のイメージセンサは、図 11 に示すものと同様に、半導体基板（S i 基板）110 の上層に、フォトセンサ 122、垂直転送レジスタ 124、及びチャネルストップ領

域 1 2 6 が形成され、半導体基板 1 1 0 の上面には、絶縁膜（シリコン酸化膜） 1 4 2 を介して垂直転送レジスタ 1 2 4 の転送電極（ポリシリコン膜） 1 4 4 が配置され、その上層に遮光膜 1 4 6 が装着されている。

- 5      この遮光膜 1 4 6 には、フォトセンサ 1 2 2 の受光領域に対応して開口部 1 4 6 A が形成され、この開口部 1 4 6 A を通して光がフォトセンサ 1 2 2 に入射される。

- そして、フォトセンサ 1 2 2 は、上層の P + 層 1 2 2 A と下層の N 層 1 2 2 B を有し、P + 層 1 2 2 A に光電変換で発生した正  
10    孔が取り込まれ、N 層 1 2 2 B に信号電荷が生成される。

- この N 層 1 2 2 B で生成された信号電荷は、N 層 1 2 2 B の下層に形成される空乏層に蓄積され、フォトセンサ 1 2 2 と垂直転送レジスタ 1 2 4 との間に設けられた読み出しゲート部の動作によってフォトセンサ 1 2 2 から垂直転送レジスタ 1 2 4 側に読み  
15    出される。

          なお、本例では、P + 層 1 2 2 A の下に 1 層の N 層 1 2 2 B を設けた構成を示しているが、基板 1 1 0 の深い位置にオーバーフローバリア及び空乏層を形成する構成の場合、N 層 1 2 2 B の下層に低濃度の N - 層を設けた構成とすることも可能である。

- 20    また、半導体基板 1 1 0 の内部領域には、各フォトセンサ 1 2 2 で生成された信号電荷を N 層 1 2 2 B の下部領域に貯留するためのオーバーフローバリア（O F B） 1 2 8 が設けられている。

- このオーバーフローバリア 1 2 8 は、半導体基板内の不純物分布を調整することにより、半導体基板 1 1 0 の内部領域にポテン  
25    シヤルによるバリアを形成し、信号電荷の漏洩をせき止めるものである。また、過大光量の入射時には、フォトセンサ 1 2 2 で過剰に生成された信号電荷が、このオーバーフローバリア 1 2 8 を越えて半導体基板 1 1 0 の裏側に排出されるようになっている。



なお、半導体基板 1 1 0 は、N 型基板 1 1 0 A の上層に所定の方法（例えばエピタキシャル成長）で高抵抗層 1 1 0 B を設け、この高抵抗層 1 1 0 B に各種素子を形成したものであってもよい。その場合には N 型基板 1 1 0 A と高抵抗層 1 1 0 B の境界付近に  
5 オーバーフローバリア 1 2 8 が形成される。

このオーバーフローバリア 1 2 8 は、例えば、基板 1 1 0 の表面から  $5 \mu\text{m} \sim 10 \mu\text{m}$  の深さ位置に形成されているものとする。

そして、本例においては、垂直転送レジスタ 1 2 4 及びチャネルストップ領域 1 2 6 の下層領域の所定位置に、部分的な P 型領域 1 5 0 が形成され、この P 型領域 1 5 0 によって垂直転送レジスタ 1 2 4 及びチャネルストップ領域 1 2 6 の下層領域におけるポテンシャルが調整され、垂直転送レジスタ 1 2 4 の最大ポテンシャル位置からオーバーフローバリア 1 2 8 までの間で、フォト  
10 センサ 1 2 2 の下層領域のポテンシャルより小さく（すなわち、低く）形成されている。

図 2 は、フォトセンサ 1 2 2 及び垂直転送レジスタ 1 2 4 の各基板断面におけるポテンシャルの分布を示す説明図であり、縦軸はポテンシャルの深さ、横軸は基板表面からの深さを示している。そして、実線 A はフォトセンサ部分のポテンシャル分布、破線 B  
20 は垂直転送レジスタ部分のポテンシャル分布を示している。なお、各軸の単位は任意に設定できるものである。

また、図 3 は、フォトセンサ領域におけるポテンシャルの分布を立体的に示す説明図であり、X 軸が水平方向、Y 軸がポテンシャル深さ方向、Z 軸が基板の深さ方向をそれぞれ示し、X 軸と Y  
25 軸で構成される面が基板表面を示している。なお、各軸の単位は任意に設定できるものである。また、「基板の深さ方向」とは、基板の表面から裏面に向かう方向のことである。

また、これらの図 2 及び図 3 において、図 2 の縦軸及び図 3 の

Y軸は、上から下に向かってポテンシャルが高いことを意味している。

上述した図 1 2 及び図 1 3 に示す従来例のポテンシャル分布では、基板の深い部分において、フォトセンサのポテンシャルの位置と垂直転送レジスタの下層部分のポテンシャルの位置が等しくなっていたが、本例では、図 2 及び図 3 に示すように、垂直転送レジスタ 1 2 4 及びチャネルストップ領域 1 2 6 の下層領域におけるポテンシャルが、垂直転送レジスタ 1 2 4 の最小ポテンシャル位置からオーバーフローバリア 1 2 8 までの間で、フォトセンサ 1 2 2 の下層領域のポテンシャルより小さく（すなわち、低く）形成されている。

したがって、本例の状態では、センサ領域で光電変換された電荷は、両側の垂直転送レジスタ 1 2 4 及びチャネルストップ領域 1 2 6 の下層領域におけるポテンシャルが低いため、このポテンシャルバリアに遮られて、容易に拡散できない状態となり、隣接画素のセンサ領域に漏洩しにくくなることから、クロストークを有効に防止できることになる。

次に、このような第 1 の実施の形態例によるポテンシャル分布を得るための製造方法の一例について簡単に説明する。

まず、半導体基板 1 1 0（N型基板 1 1 0 A）の上層（すなわち、基板表面からオーバーフローバリアまでの間）に例えばエピタキシャル成長によって 1 0 0  $\Omega$  以上の高抵抗基板（高抵抗層 1 1 0 B）を形成する。

また、半導体基板 1 1 0 の表面からボロン等の P 型不純物をイオン注入することにより、オーバーフローバリア 1 2 8 となる P 型領域を形成する。

また、垂直転送レジスタ 1 2 4 及びチャネルストップ領域 1 2 6 の下層部分の深い位置（オーバーフローバリア 1 2 8 よりも上

層)に、P型不純物をイオン注入することにより、P型領域150を形成する。

このようにして、高抵抗層110B中に部分的な高濃度のP型領域150を形成することができる。ただし、これは一例であり、  
5 種々の方法が利用できる。

次に、本発明の第2の実施の形態例について説明する。

本発明の第2の実施の形態例では、より有効なバリア効果を發揮するために、上述したオーバーフローバリアを形成するためのP型ウェル領域のうち、フォトセンサ部(光電変換部)に対応する領域に部分的な低濃度領域を形成することにより、垂直転送レジスタ(転送部)のオーバーフローバリアにおけるポテンシャル、  
10 及び隣接する画素の中間部のオーバーフローバリアにおけるポテンシャルが、フォトセンサ部のオーバーフローバリアにおけるポテンシャルより小さくなるようにし、オーバーフローバリアでの  
15 電荷の漏洩をさらに完全に防止するようにしたものである。

図4は、本発明の第2の実施の形態例によるCCDイメージセンサの内部素子構造を示す断面図である。なお、図1に示すものと共通の構成要素については同一符号を付して説明は省略する。  
また、本例におけるCCDイメージセンサの平面方向の素子配列  
20 は図10に示した従来例と共通であり、図4は図10のa-a断面を示すものである。

本例のイメージセンサにおいても、半導体基板(Si基板)110を構成するN型基板110Aと高抵抗層110Bとの境界付近にオーバーフローバリア160が形成されているが、このオーバーフローバリア160を形成するP型領域は、フォトセンサ122に対応する領域に部分的な低濃度領域162が形成されており、その他の領域は通常濃度領域164となっている。  
25

これにより、垂直転送レジスタ124のオーバーフローバリア

におけるポテンシャル、及び隣接する画素の中間部のオーバーフローバリアにおけるポテンシャルが、フォトセンサ 1 2 2 のオーバーフローバリアにおけるポテンシャルより小さく（すなわち、低く）なっている。

- 5 図 5 は、フォトセンサ 1 2 2、垂直転送レジスタ 1 2 4、及び隣接画素の中間部の各基板断面におけるポテンシャルの分布を示す説明図であり、縦軸はポテンシャルの深さ、横軸は基板表面からの深さを示している。そして、実線 A はフォトセンサ部分のポテンシャル分布、破線 B は垂直転送レジスタ部分のポテンシャル分布、一点破線 C は隣接画素の中間部のポテンシャル分布を示している。なお、各軸の単位は任意に設定できるものである。

- 10 また、図 6 は、フォトセンサ領域におけるポテンシャルの分布を立体的に示す説明図であり、X 軸が水平方向、Y 軸がポテンシャル深さ方向、Z 軸が基板の深さ方向をそれぞれ示し、X 軸と Y 軸で構成される面が基板表面を示している。なお、各軸の単位は任意に設定できるものである。

また、これらの図 5 及び図 6 において、図 5 の縦軸及び図 6 の Y 軸は、上から下に向かってポテンシャルが高いことを意味している。

- 20 上述した図 2 及び図 3 に示す第 1 の実施の形態例のポテンシャル分布では、フォトセンサ部のポテンシャルと垂直転送レジスタのポテンシャルがオーバーフローバリアの深さ位置で一致していたが、本例では、図 5 及び図 6 に示すように、垂直転送レジスタ 1 2 4 のオーバーフローバリア 1 6 0 におけるポテンシャル、及び隣接する画素の中間部のオーバーフローバリア 1 6 0 におけるポテンシャルが、フォトセンサ 1 2 2 のオーバーフローバリア 1 6 0 におけるポテンシャルより小さくなる（図 5 及び図 6 にポテンシャル差 G で示す）ようにし、オーバーフローバリア 1 6 0 で

の電荷の漏洩をさらに完全に防止し、クロストークの抑制効果と感度向上効果を得ることができる。

なお、オーバーフローバリア 160 の不純物濃度に差を持たせることにより、第 1 の実施の形態例で説明した部分的な P 型領域 150 を設けることなく、オーバーフローバリア 160 の不純物濃度によって垂直転送レジスタ 124 及びチャネルストップ領域 126 の下層領域におけるポテンシャルが調整され、垂直転送レジスタ 124 の最大ポテンシャル位置からオーバーフローバリア 128 までの間で、フォトセンサ 122 の下層領域のポテンシャルより小さく（すなわち、低く）形成されている。また逆に第 1 の実施の形態例と併用して実施することも可能である。その他は、上述した第 1 の実施の形態例と共通であるので説明は省略する。

次に、このような第 2 の実施の形態例によるポテンシャル分布を得るための製造方法の 2 つの例について簡単に説明する。

上述のようなオーバーフローバリア 160 の濃度分布を得るには、オーバーフローバリア全体に対する通常濃度の P 型不純物のイオン注入とフォトセンサ 122 の対応領域への N 型不純物のイオン注入とを組み合わせる方法（第 1 の方法）と、オーバーフローバリア全体に対する低濃度の P 型不純物のイオン注入とフォトセンサ 122 の対応領域への低濃度の P 型不純物のイオン注入とを組み合わせる方法（第 2 の方法）とを用いることができる。

まず、第 1 の方法を図 4 に基づき説明する。

この方法では、オーバーフローバリア 160 を形成する全体領域に対して従来と同様の濃度で P 型不純物のイオン注入を行う。

次に、フォトセンサ 122 の対応領域へ N 型不純物のイオン注入を行うことにより、この部分の P 型不純物濃度を緩和し、低濃度領域 162 を形成する。その他の領域は通常濃度領域 164 となる。

次に、第 2 の方法を図 7 に基づき説明する。

まず、図 7 (A) において、オーバーフローバリア 160 を形成する全体領域に対して低濃度で P 型不純物のイオン注入を行い、不純物領域 160A を形成する。

- 5      次に、図 7 (B) において、フォトセンサ 122 の対応領域を除く、垂直転送レジスタ 124 と画素中間部の対応領域に対し、2 回目の低濃度の P 型不純物のイオン注入を行うことにより、この部分の P 型不純物濃度が通常濃度となり、通常濃度領域 164 となる。

- 10      また、2 回目のイオン注入を行わなかったフォトセンサ 122 の対応領域は、低濃度のままであり、これが低濃度領域 162 となる。

なお、1 回目のイオン注入と 2 回目のイオン注入のドーズ量の比率は、フォトセンサ部のオーバーフローバリアのポテンシャルをどの程度深くするかで決めることになる。

- 15      このような第 2 の方法では、同じ P 型不純物を注入するため、不純物による飛程差（ボロン＞燐＞ヒ素）を配慮することなく、イオン注入を行うことが可能であり、その分、より深い位置までオーバーフローバリアを容易に形成することができる利点がある。

- 20      次に、本発明の第 3 の実施の形態例について説明する。

- 本発明の第 3 の実施の形態例では、垂直転送レジスタ（転送部）においてクロストークを抑制する有効なバリア効果を発揮させるとともに、フォトセンサ部（光電変換部）のポテンシャルを大きくすることにより、フォトセンサ部と垂直転送レジスタとのポテンシャルの差を大きくしてバリア効果を強めるようにしたものである。

図 8 は、本発明の第 3 の実施の形態例による CCD イメージセンサの内部素子構造を示す断面図である。なお、図 1 に示すもの

と共通の構成要素については同一符号を付して説明は省略する。  
また、本例におけるCCDイメージセンサの平面方向の素子配列は図10に示した従来例と共通であり、図8は図10のa-a断面を示すものである。

- 5 本例においては、図8に示すように、垂直転送レジスタ124及びチャネルストップ領域126の下層領域の所定位置に、部分的なP型領域150がそれぞれ独立して4層形成され、このP型領域150によって垂直転送レジスタ124及びチャネルストップ領域126の下層領域におけるポテンシャルが調整され、垂直
- 10 転送レジスタ124の最大ポテンシャル位置からオーバーフローバリア128までの間で、フォトセンサ122の下層領域のポテンシャルより小さく（低く）形成されている。

- また、本例においては、さらに、フォトセンサ122の下層領域の所定位置に、部分的なN型領域151がそれぞれ独立して7
- 15 層形成され、このN型領域151によってフォトセンサ122の下層領域におけるポテンシャルが調整され、第1の実施の形態例よりもさらにフォトセンサの122の下層領域のポテンシャルが大きく（高く）形成されている。N型領域151は、P型領域150とは各々異なる深さとなるように形成されている。

- 20 図9は、フォトセンサ122、垂直転送レジスタ124、及び隣接画素の中間部の各基板断面におけるポテンシャルの分布を示す説明図であり、縦軸はポテンシャルの深さ、横軸は基板表面からの深さを示している。そして、実線Aはフォトセンサ部分のポテンシャル分布、破線Bは垂直転送レジスタ部分のポテンシャル
- 25 分布を示している。なお、各軸の単位は任意に設定できるものである。

本例では、図9に示すように、垂直転送レジスタ124及びチャネルストップ領域126の下層領域におけるポテンシャルが、

垂直転送レジスタ 1 2 4 の最小ポテンシャル位置からオーバーフローバリア 1 2 8 までの間で、フォトセンサ 1 2 2 の下層領域のポテンシャルより小さく（すなわち、低く）形成されている。

また、本例では、さらに、フォトセンサ 1 2 2 の下層領域のポテンシャルが、図 2 に示した第 1 の実施の形態例の場合よりもさらに大きく形成されている。

したがって、本例の状態では、センサ領域で光電変換された電荷は、両側の垂直転送レジスタ 1 2 4 およびチャネルストップ領域 1 2 6 の下層領域におけるポテンシャルが低いため、このポテンシャルバリアに遮られて、容易に拡散できない状態となり、隣接画素のセンサ領域に漏洩しにくくなることから、クロストークを有効に防止できることになる。特に、本例ではフォトセンサ 1 2 2 の下層領域のポテンシャルが大きくなっていることにより、ポテンシャルバリアとの段差が大きくなり、バリア効果がより強くなっていることから、クロストークをより効果的に防止できることになる。

なお、第 3 の実施の形態例では P 型領域 1 5 0 を 4 層に形成し、N 型領域 1 5 1 を 7 層に形成していたが、P 型領域 1 5 0 は 4 層に限定されるものではなく、1 層又は複数層の P 型領域を形成すれば同様の効果が得られる。同様に、N 型領域 1 5 1 は 7 層に限定されるものではなく、1 層又は複数層の N 型領域を形成すれば同様の効果が得られる。

なお、以上の例は、本発明をフォトセンサが縦横して配列された CCD イメージセンサについて説明したが、本発明は、これに限定されるものではなく、CCD を用いた他の固体撮像素子についても同様に適用し得るものである。

また、以上の例は、光電変換部で生成した電子を扱う場合について説明したが、同様に正孔を扱う構成に適用してもよい。この



場合には、各半導体領域のPとNの極性やポテンシャルの極性が逆になる。すなわち、本発明におけるポテンシャルの大小（高低）は絶対値を基準とする意味であるものとする。

5 以上説明したように本発明の固体撮像素子及びその製造方法によれば、転送部の下層領域のポテンシャルが、その最小ポテンシャル位置からオーバーフローバリアまでの間で、光電変換部の下層領域のポテンシャルより小さくなることから、オーバーフローバリアを基板の深い位置に形成した場合でも、光電変換部の下層領域に蓄積された信号電荷が隣接する転送部側に漏洩するのを防  
10 止できる。

また、本発明の固体撮像素子及びその製造方法によれば、転送部のオーバーフローバリアにおけるポテンシャル、及び隣接する画素の中間部のオーバーフローバリアにおけるポテンシャルが、光電変換部のオーバーフローバリアにおけるポテンシャルより小  
15 さくなることから、オーバーフローバリアを基板の深い位置に形成した場合でも、光電変換部の下層領域に蓄積された信号電荷が隣接する転送部や画素側に漏洩するのを防止できる。

この結果、半導体基板の深い位置にオーバーフローバリアを形成したことに伴うクロストークの発生をなくして画質の劣化を防  
20 止しつつ、各画素における蓄積電荷量の増大を図ることができ、感度の向上を実現できる効果がある。

## 請求の範囲

1. 基板の表面に設けられ、入射光を電荷に変換するフォトセンサ部と、

5 前記基板の表面に形成され、前記フォトセンサ部から読み出された前記電荷を転送する転送部と、

前記基板の内部に形成され、前記電荷の不要分を排出するオーバーフローバリアとを有し、

10 前記基板の深さ方向において、前記転送部下のポテンシャルが、その最小ポテンシャル位置から前記オーバーフローバリアまでの間に亘って、前記フォトセンサ部下のポテンシャルより小さく形成されている固体撮像素子。

2. 前記転送部下に一又は複数の不純物領域が形成されている請求の範囲第1項に記載の固体撮像素子。

15 3. 前記フォトセンサ部下に一又は複数の不純物領域が形成されている請求の範囲第1項に記載の固体撮像素子。

4. 前記フォトセンサ部下に形成された一又は複数の第2の不純物領域が、前記不純物領域とは各々異なる深さとなるように形成されている請求の範囲第2項に記載の固体撮像素子。

20 5. 前記不純物領域が前記基板の深さ方向において4層に形成され、前記第2の不純物領域が前記基板の深さ方向において7層に形成されている請求の範囲第4項に記載の固体撮像素子。

6. 前記不純物領域がP型であり、前記第2の不純物領域がN型である請求の範囲第4項に記載の固体撮像素子。

25 7. 前記転送部下の前記オーバーフローバリアでのポテンシャルが前記フォトセンサ部下の前記オーバーフローバリアでのポテンシャルよりも小さい請求の範囲第1項に記載の固体撮像素子。

8. 前記オーバーフローバリアの前記フォトセンサ部下の領域が、前記オーバーフローバリアでの該領域よりも低濃度である請求の

範囲第 7 項に記載の固体撮像素子。

9. 前記オーバーフローバリアが前記基板の表面から  $3\ \mu\text{m}$  以上の深い位置に形成されている請求の範囲第 1 項に記載の固体撮像素子。

- 5    10. 前記基板は、第 1 導電型の第 1 基板と、前記第 1 基板の上層に形成され前記第 1 基板よりも高抵抗である第 1 導電型又は第 2 導電型の第 2 基板とから形成された請求の範囲第 1 項に記載の固体撮像素子。

- 10    11. 前記第 1 導電型が N 型であり、前記第 2 導電型が P 型である請求の範囲第 10 項に記載の固体撮像素子。

12. 基板の表面に設けられ、入射光を電荷に変換するフォトセンサ部と、

前記基板の表面に形成され、前記フォトセンサ部から読み出された前記電荷を転送する転送部と、

- 15    前記基板の内部に形成され、前記電荷の不要分を排出するオーバーフローバリアとを有し、

前記転送部下のオーバーフローバリアでのポテンシャルが、前記フォトセンサ部下のオーバーフローバリアでのポテンシャルよりも小さい固体撮像素子。

- 20    13. 前記オーバーフローバリアの前記フォトセンサ部下の領域に、前記オーバーフローバリアでの該領域以外の領域よりも低濃度である低濃度領域を形成した請求の範囲第 12 項に記載の固体撮像素子。

- 25    14. 基板の表面に設けられ、入射光を電荷に変換するフォトセンサ部と、前記基板の表面に形成され、前記フォトセンサ部から読み出された前記電荷を転送する転送部と、前記基板の内部に形成され、前記電荷の不要分を排出するオーバーフローバリアとを有する固体撮像素子の製造方法であって、

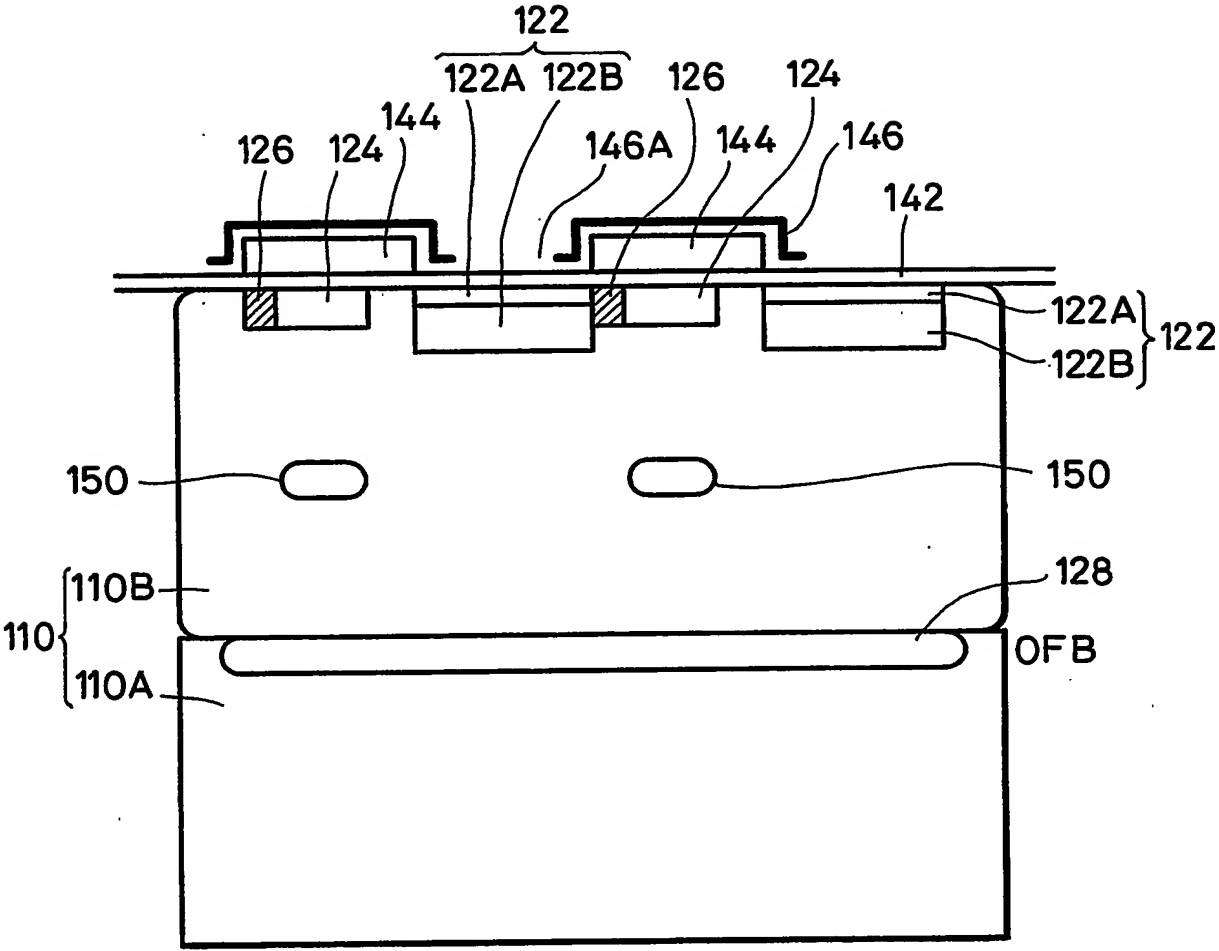
前記基板における前記転送部の下層に一又は複数の不純物領域を形成する工程を含む固体撮像素子の製造方法。

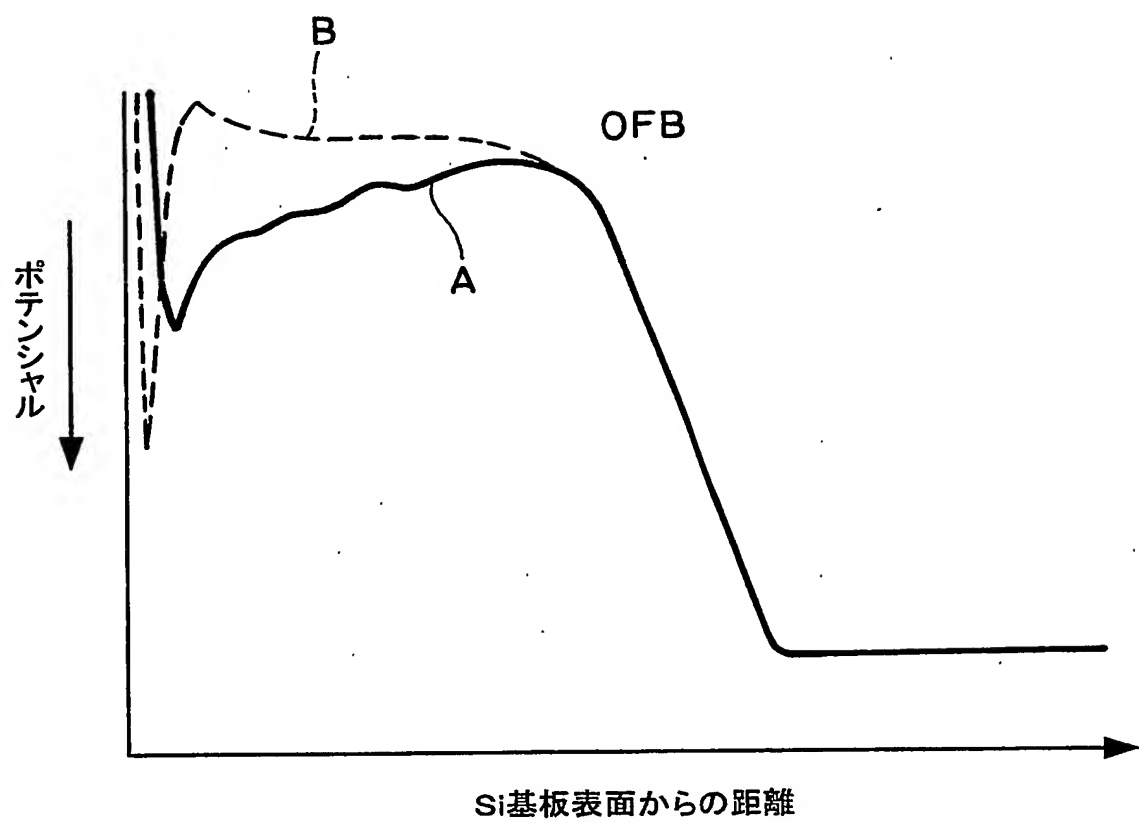
15. 前記フォトセンサ部の下層に一又は複数の第2の不純物領域を形成する工程を含む請求の範囲第14項に記載の固体撮像素子の製造方法。

16. 前記第2の不純物領域を、前記不純物領域と各々異なる深さとなるように形成する工程を含む請求の範囲第15項に記載の固体撮像素子の製造方法。

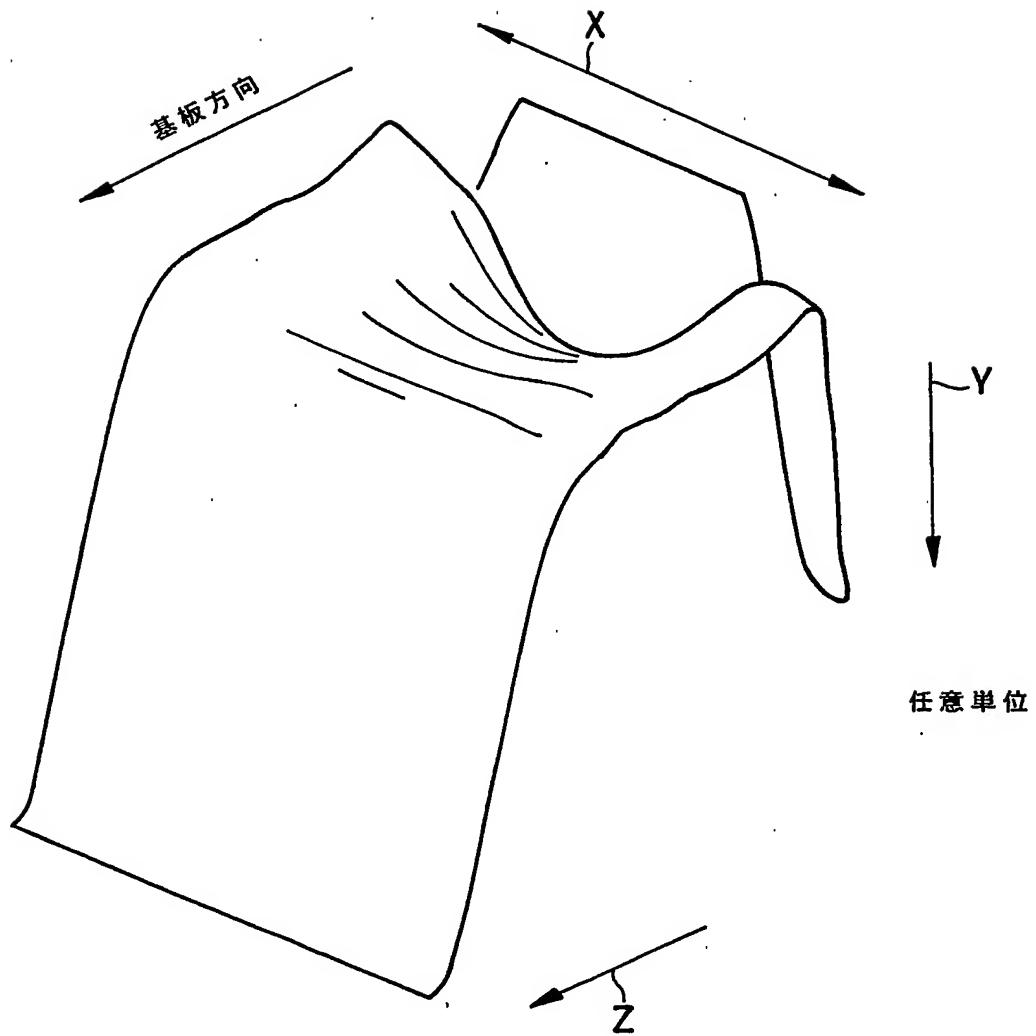
10 17. 前記オーバーフローバリアの前記フォトセンサ部下の領域を、前記オーバーフローバリアでの該領域以外の領域よりも低濃度に形成する工程を含む請求の範囲第14項に記載の固体撮像素子の製造方法。

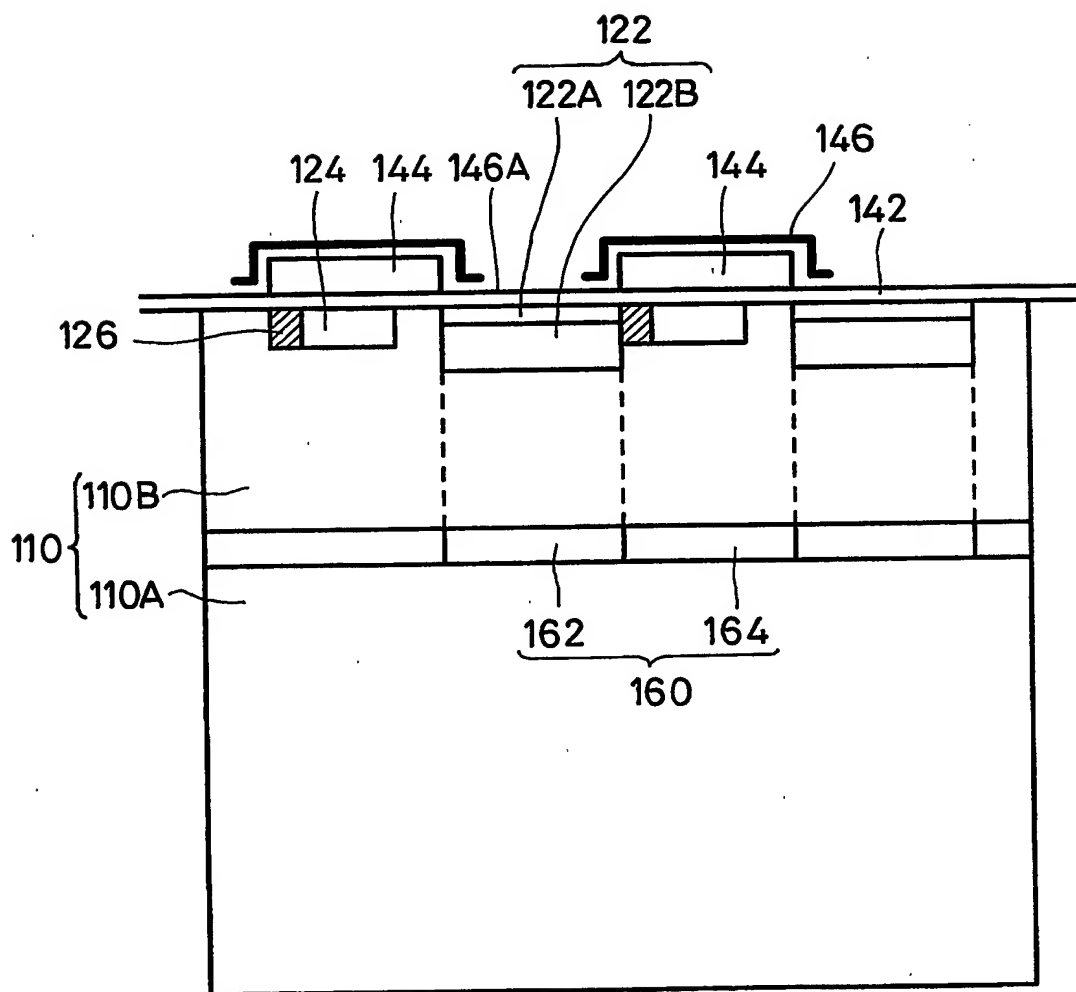
**FIG. 1**



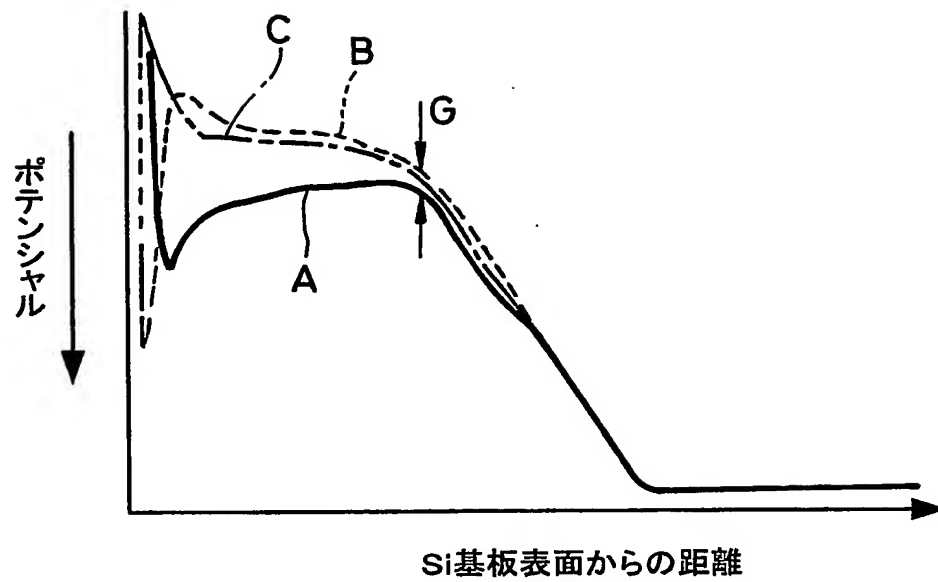
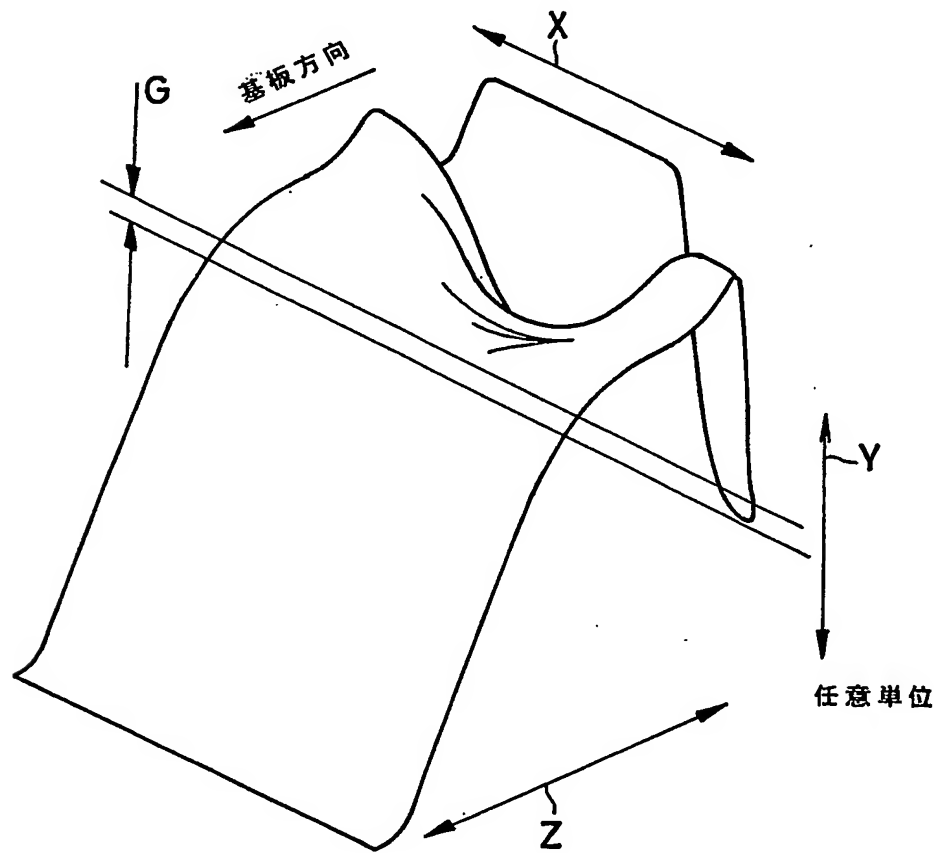
**FIG. 2**

**FIG. 3**

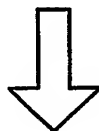
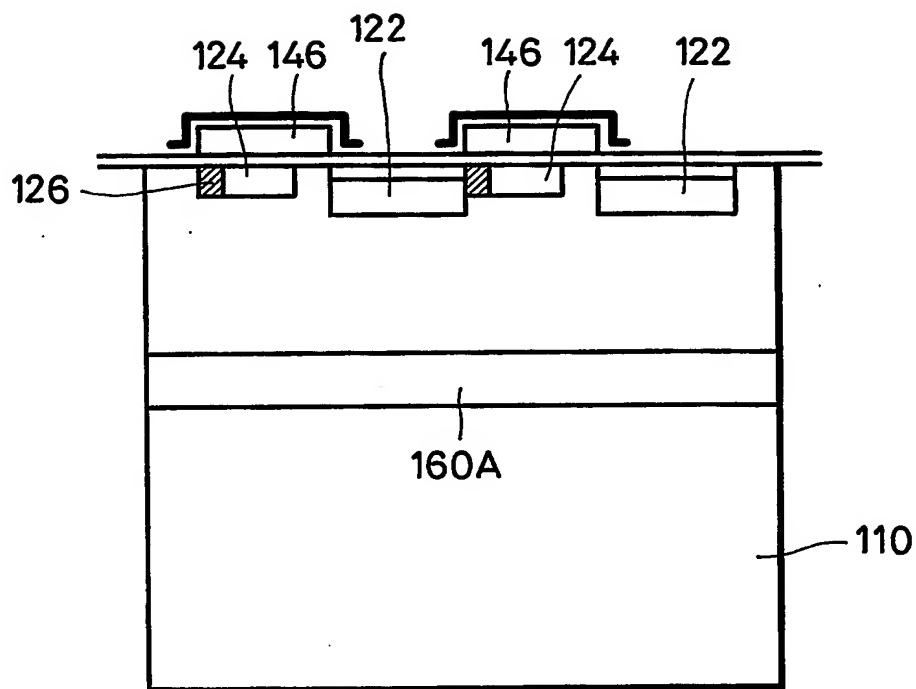


**FIG. 4**

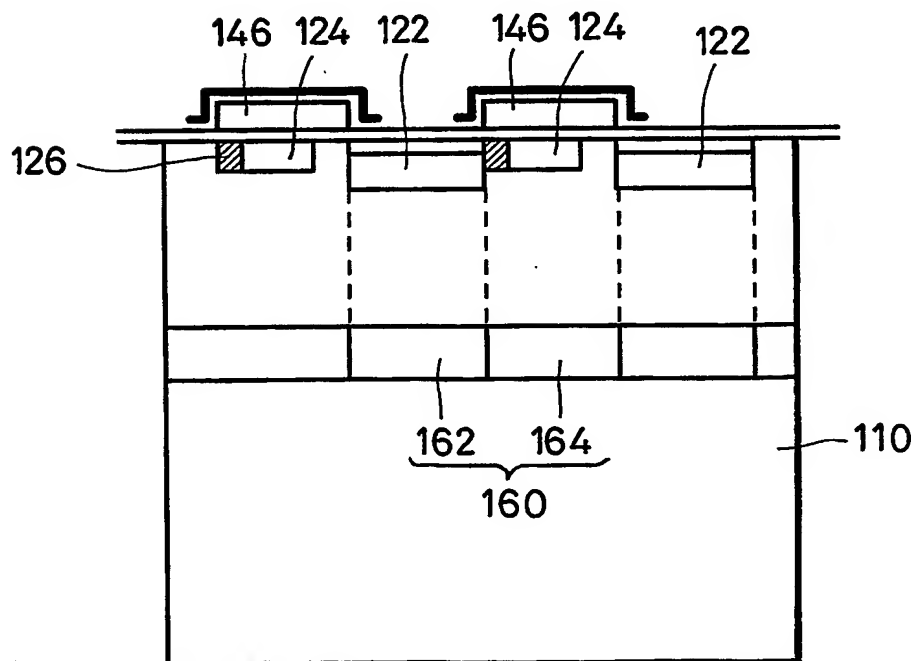


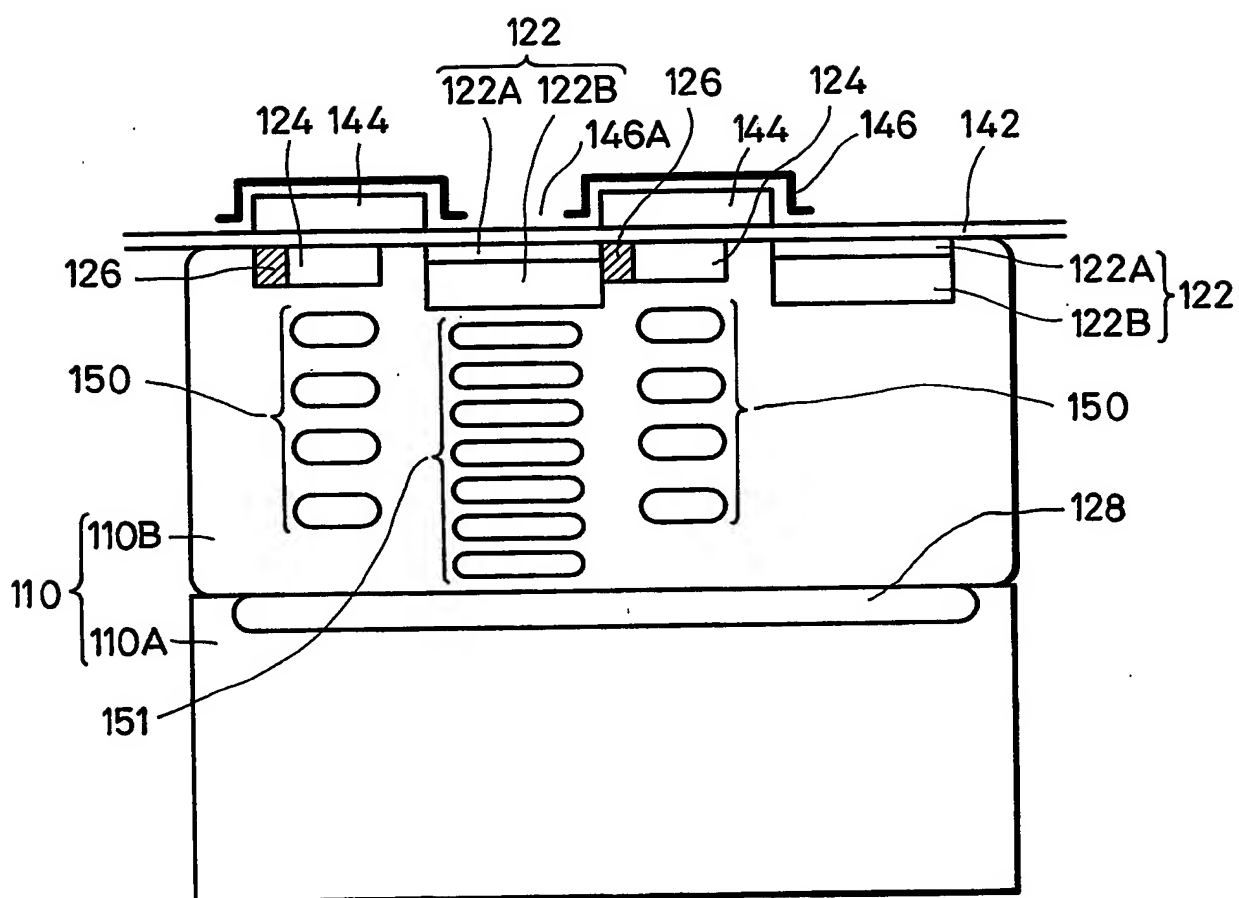
**FIG. 5****FIG. 6**

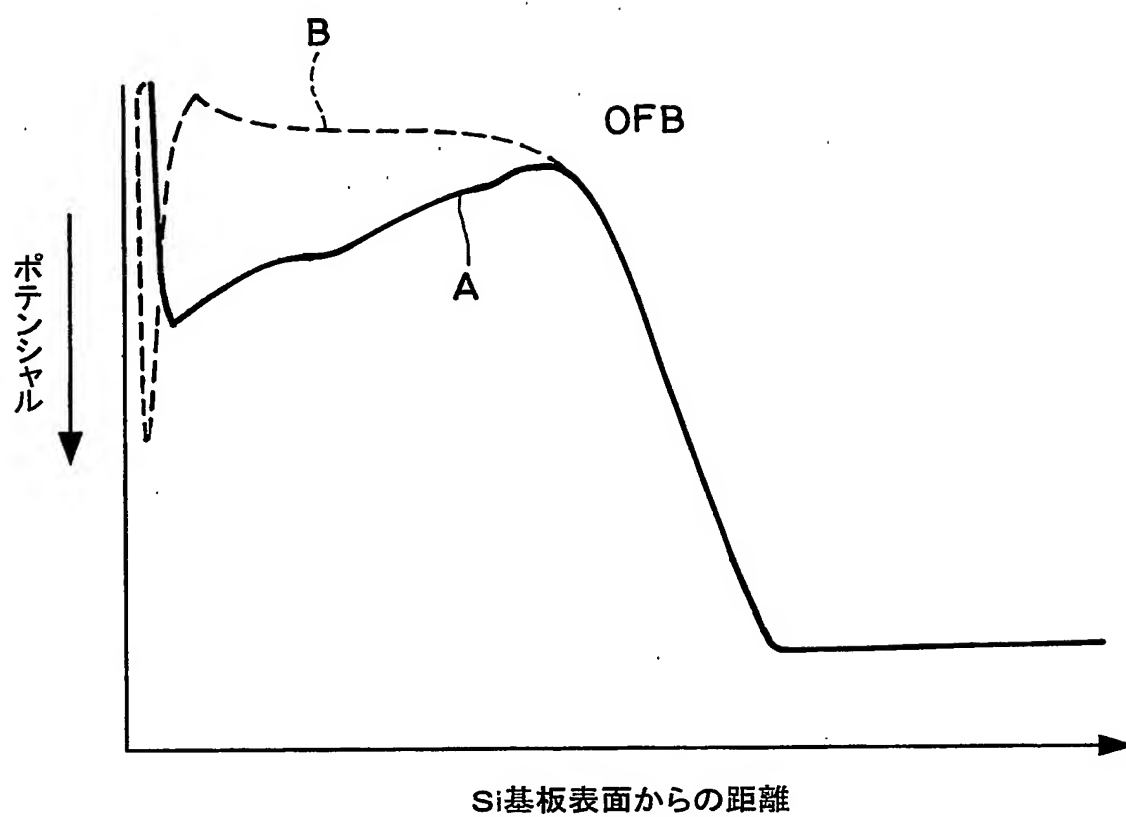
**FIG. 7A**



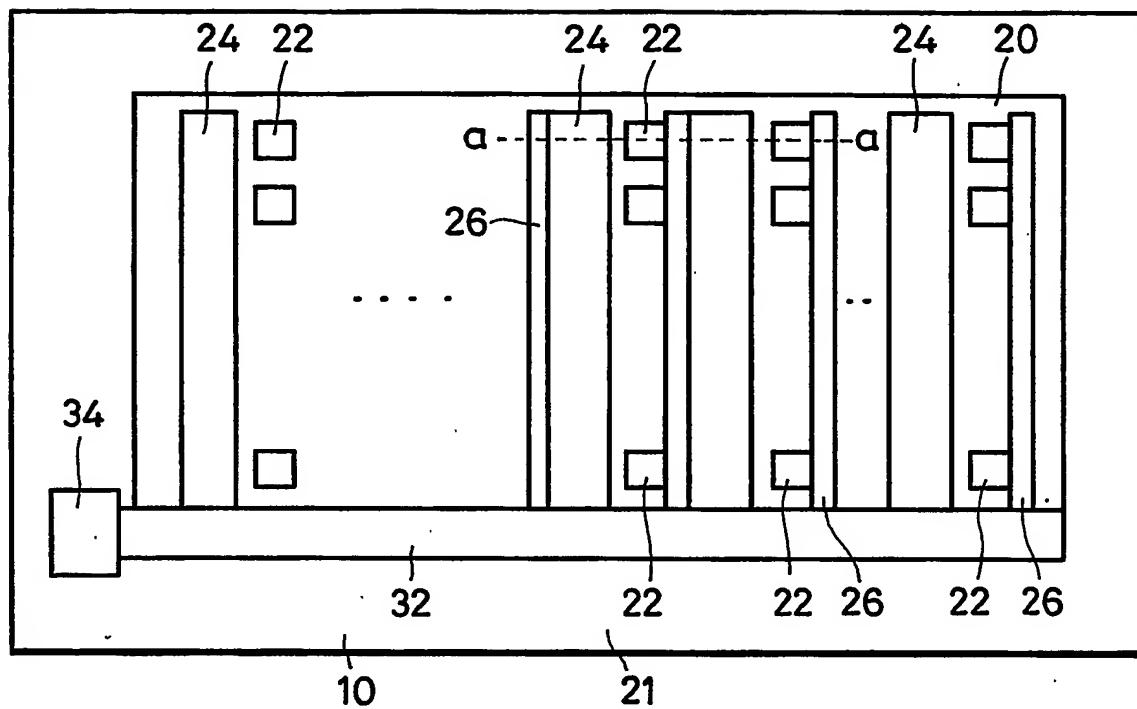
**FIG. 7B**



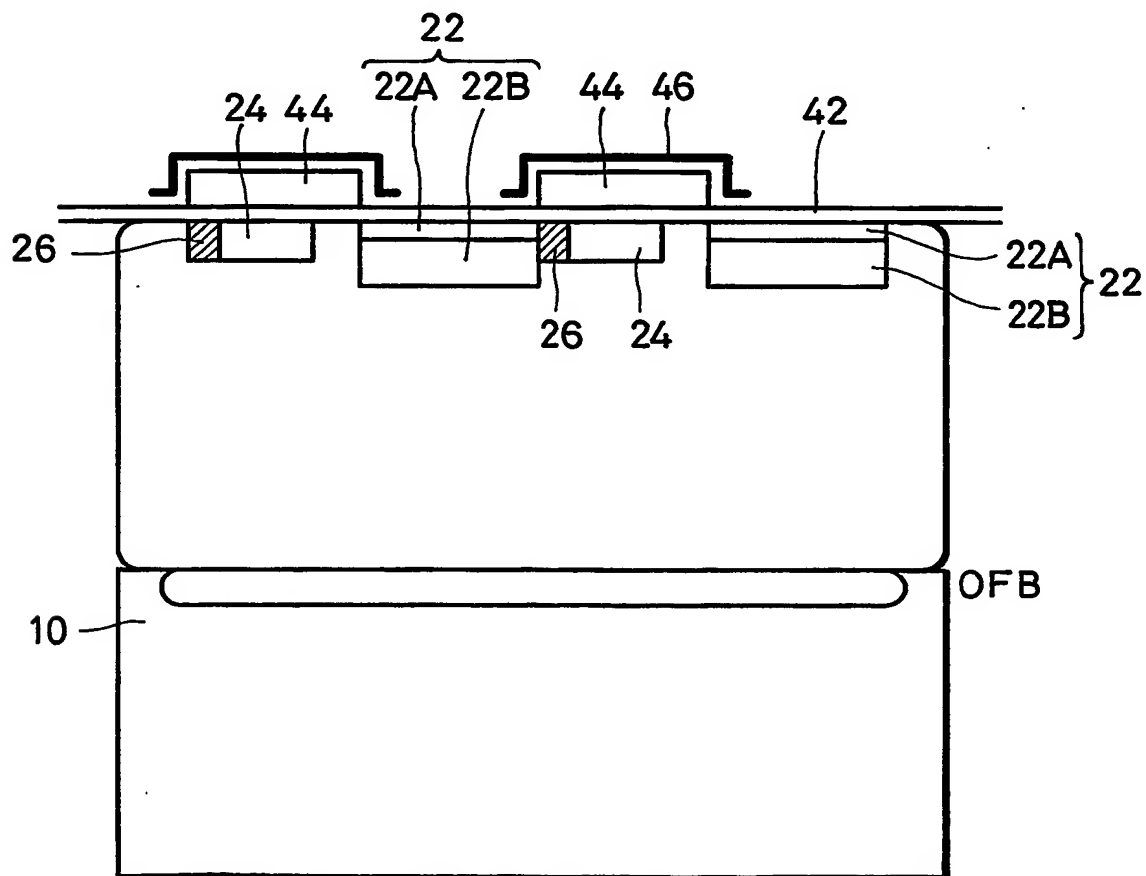
**FIG. 8**

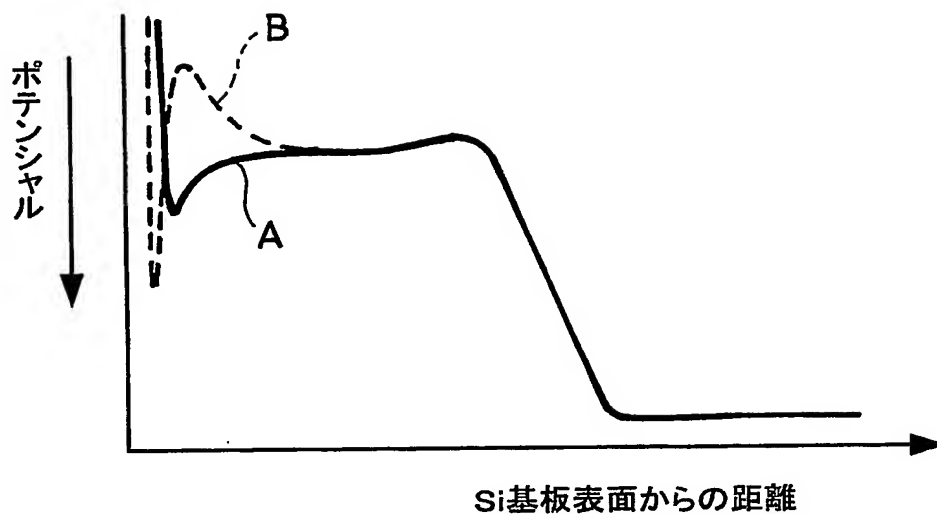
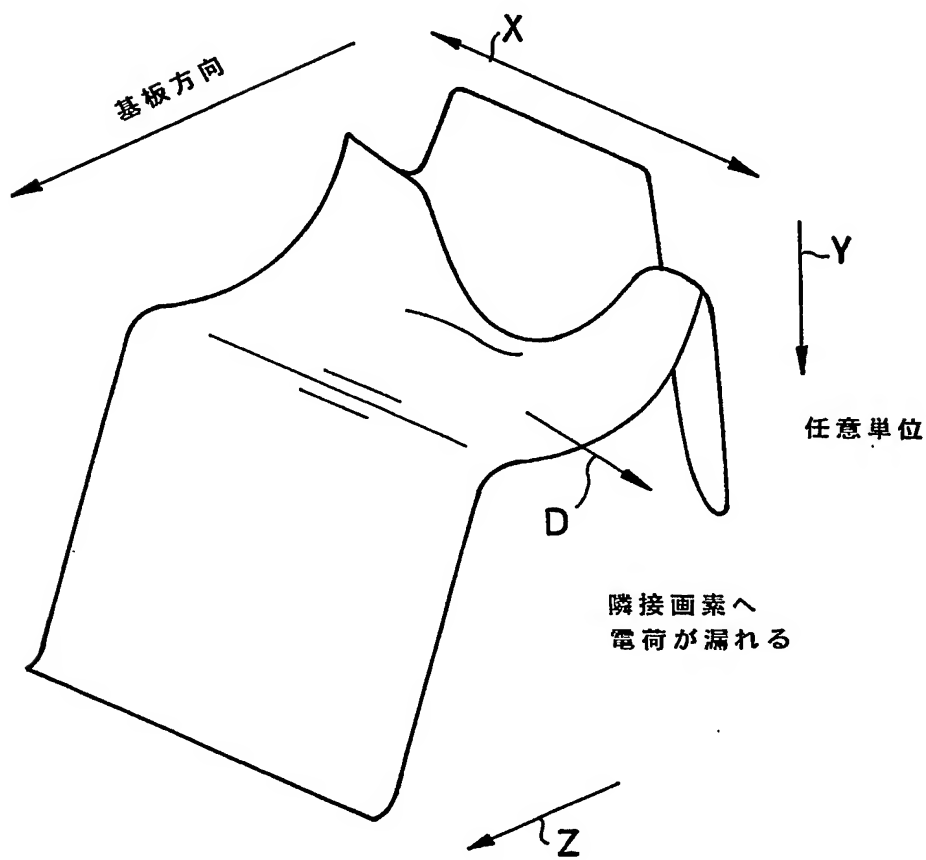
**FIG. 9**

**FIG. 10**



**FIG. 11**



**FIG. 12****FIG. 13**

## 引用符号の説明

- 1 1 0 .....半導体基板
- 1 1 0 A .....N型基板
- 1 1 0 B .....P型層
- 1 2 2 .....フォトセンサ
- 1 2 2 A .....P + 層
- 1 2 2 B .....N 層
- 1 2 4 .....垂直転送レジスタ
- 1 2 6 .....チャネルストップ領域
- 1 2 8 .....オーバーフローバリア
- 1 4 2 .....絶縁膜
- 1 4 4 .....転送電極
- 1 4 6 .....遮光膜
- 1 5 0 .....P 型領域。

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/10217

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L27/148, H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L27/148, H04N5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2002-198507 A (Sony Corp.), 12 July, 2002 (12.07.02), Par. Nos. [0010] to [0015]; Figs. 1 to 3 (Family: none)	1, 2, 9, 14 3, 4, 6, 7, 12, 15, 16 5, 8, 10, 11, 13, 17
Y	JP 2000-299456 A (Sony Corp.), 24 October, 2000 (24.10.00), Par. Nos. [0015] to [0025]; Figs. 1 to 3 (Family: none)	3, 4, 6, 15, 16
Y	JP 2001-257338 A (Iwate Toshiba Electronics Kabushiki Kaisha), 21 September, 2001 (21.09.01), Par. Nos. [0020] to [0036]; Figs. 1 to 4 (Family: none)	7, 12

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
10 November, 2003 (10.11.03)

Date of mailing of the international search report  
25 November, 2003 (25.11.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int Cl<sup>7</sup> H01L27/148, H04N5/335

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl<sup>7</sup> H01L27/148, H04N5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y  A	JP 2002-198507 A(ソニー株式会社)2002.07.12, 【0010】 - 【0015】, 図1-図3 (ファミリーなし)	1, 2, 9, 14 3, 4, 6, 7, 12, 15, 16 5, 8, 10, 11, 13, 17
Y	JP 2000-299456 A(ソニー株式会社)2000.10.24, 【0015】 - 【0025】, 図1-図3 (ファミリーなし)	3, 4, 6, 15, 16

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日  
10.11.03

国際調査報告の発送日  
25.11.03

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
栗野 正明



4M 9353

電話番号 03-3581-1101 内線 3462

C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-257338 A(岩手東芝エレクトロニクス株式会社)2001. 09. 21, 【0020】 - 【0036】 , 図 1 - 図 4 (ファミリーなし)	7, 12